



中華民國專利證書

發明第 I 464920 號

發明名稱：多晶片封裝結構及其製作方法

專利權人：柏友照明科技股份有限公司

發明人：鍾嘉珽、吳朝欽、吳芳桂

專利權期間：自 2014 年 12 月 11 日至 2032 年 1 月 18 日止

上開發明業經專利權人依專利法之規定取得專利權

經濟部智慧財產局

局長 王美花

注意：專利權人未依法繳納年費者，其專利權自應繳費期限屆滿後消滅。

中華民國 103 年 12 月 11 日



【11】證書號數：I464920

【45】公告日：中華民國 103 (2014) 年 12 月 11 日

【51】Int. Cl. : H01L33/48 (2010.01) H01L25/075 (2006.01)

發明

全 13 頁

【54】名稱：多晶片封裝結構及其製作方法

MULTI-CHIP PACKAGE STRUCTURE AND METHOD OF
MANUFACTURING THE SAME

【21】申請案號：101102181

【22】申請日：中華民國 101 (2012) 年 01 月 19 日

【11】公開編號：201332157

【43】公開日期：中華民國 102 (2013) 年 08 月 01 日

【72】發明人：鍾嘉珽 (TW) CHUNG, CHIA TIN；吳朝欽 (TW) WU, CHAO CHIN；吳芳桂 (TW) WU, FANG KUEI

【71】申請人：柏友照明科技股份有限公司 PARAGON SEMICONDUCTOR
LIGHTING TECHNOLOGY CO., LTD.

新北市林口區文化二路 2 段 369 號 3 樓

【74】代理人：莊志強

【56】參考文獻：

TW M408133U1

TW M408135U1

TW 201103175A1

審查人員：林士淵

[57]申請專利範圍

1. 一種多晶片封裝結構，其包括：一基板單元，其包括一基板本體；一發光單元，其包括多個設置於該基板本體上且電性連接於該基板本體的發光元件；一邊框單元，其包括一透過塗佈方式以圍繞地成形於該基板本體上的半乾狀圍繞式反光框體，其中該半乾狀圍繞式反光框體圍繞上述多個發光元件，且該半乾狀圍繞式反光框體具有一設置於該基板本體上且尚未乾掉的未乾狀圍繞膠體及一用於覆蓋該未乾狀圍繞膠體且已經乾掉的已乾狀圍繞膠體；以及一封裝單元，其包括一設置於該基板本體上以覆蓋上述多個發光元件的封裝膠體，其中該半乾狀圍繞式反光框體接觸且圍繞該封裝膠體；其中，該基板單元包括多個設置於該基板本體上表面的正極焊墊及多個設置於該基板本體上表面的負極焊墊，其中每一個發光元件具有一正極及一負極，每一個發光元件的正極對應於上述多個正極焊墊中的至少兩個，且每一個發光元件的負極對應於上述多個負極焊墊中的至少兩個；其中，每一個發光元件的正極電性連接於上述至少兩個所對應的正極焊墊中的其中一個，且每一個發光元件的負極電性連接於上述至少兩個所對應的負極焊墊中的其中一個。
2. 如申請專利範圍第 1 項所述之多晶片封裝結構，其中該半乾狀圍繞式反光框體上具有一因上述塗佈方式所形成的接合凸部。
3. 如申請專利範圍第 1 項所述之多晶片封裝結構，其中該半乾狀圍繞式反光框體從一起始點延伸至一終止點，且該起始點與該終止點實質上為同一點。
4. 如申請專利範圍第 1 項所述之多晶片封裝結構，其中該半乾狀圍繞式反光框體上具有一圓弧形的外表面，該半乾狀圍繞式反光框體相對於該基板本體上表面的圓弧切線的角度介於 40 至 50 度之間，該半乾狀圍繞式反光框體的頂面相對於該基板本體上表面的高度介於 0.3 至 0.7mm 之間，該半乾狀圍繞式反光框體底部的寬度介於 1.5 至 3mm 之間，該

(2)

半乾狀圍繞式反光框體的觸變指數介於 4 至 6 之間，且該半乾狀圍繞式反光框體為一內部混有多個無機添加顆粒的熱固化反光框體。

5. 一種多晶片封裝結構的製作方法，其包括下列步驟：提供一基板本體；將多個發光元件設置於該基板本體上，其中上述多個發光元件皆電性連接於該基板本體；圍繞地塗佈一圍繞上述多個發光元件且呈現膠狀的圍繞式膠材於該基板本體上；在室溫的環境下，透過自然的方式讓上述呈現膠狀的圍繞式膠材的外表層乾掉，以形成一半乾狀圍繞式反光框體，其中該半乾狀圍繞式反光框體具有一設置於該基板本體上且尚未乾掉的未乾狀圍繞膠體及一用於覆蓋該未乾狀圍繞膠體且已經乾掉的已乾狀圍繞膠體；以及在上述呈現膠狀的圍繞式膠材的外表層乾掉的情況下，形成一位於該基板本體上且覆蓋上述多個發光元件的封裝膠體，其中該半乾狀圍繞式反光框體接觸且圍繞該封裝膠體。
6. 如申請專利範圍第 5 項所述之多晶片封裝結構的製作方法，其中上述形成該封裝膠體的步驟後，更進一步包括：透過自然的方式或烘乾的方式來固化該未乾狀圍繞膠體，以使得該半乾狀半乾狀圍繞式反光框體轉變成一全乾狀圍繞式反光框體。
7. 如申請專利範圍第 5 項所述之多晶片封裝結構的製作方法，其中該半乾狀圍繞式反光框體上具有一因上述塗佈方式所形成的接合凸部。
8. 如申請專利範圍第 5 項所述之多晶片封裝結構的製作方法，其中該半乾狀圍繞式反光框體從一起始點延伸至一終止點，且該起始點與該終止點實質上為同一點。
9. 如申請專利範圍第 5 項所述之多晶片封裝結構的製作方法，其中該半乾狀圍繞式反光框體上具有一圓弧形的外表面，該半乾狀圍繞式反光框體相對於該基板本體上表面的圓弧切線的角度介於 40 至 50 度之間，該半乾狀圍繞式反光框體的頂面相對於該基板本體上表面的高度介於 0.3 至 0.7mm 之間，該半乾狀圍繞式反光框體底部的寬度介於 1.5 至 3mm 之間，該半乾狀圍繞式反光框體的觸變指數介於 4 至 6 之間，且該半乾狀圍繞式反光框體為一內部混有多個無機添加顆粒的熱固化反光框體。
10. 如申請專利範圍第 5 項所述之多晶片封裝結構的製作方法，其中該基板單元包括多個設置於該基板本體上表面的正極焊墊及多個設置於該基板本體上表面的負極焊墊，其中每一個發光元件具有一正極及一負極，每一個發光元件的正極對應於上述多個正極焊墊中的至少兩個，且每一個發光元件的負極對應於上述多個負極焊墊中的至少兩個。
11. 如申請專利範圍第 10 項所述之多晶片封裝結構的製作方法，其中每一個發光元件的正極電性連接於上述至少兩個所對應的正極焊墊中的其中一個，且每一個發光元件的負極電性連接於上述至少兩個所對應的負極焊墊中的其中一個。
12. 一種多晶片封裝結構的製作方法，其包括下列步驟：提供一基板本體；圍繞地塗佈一呈現膠狀的圍繞式膠材於該基板本體上；在室溫的環境下，透過自然的方式讓上述呈現膠狀的圍繞式膠材的外表層乾掉，以形成一半乾狀圍繞式反光框體，其中該半乾狀圍繞式反光框體具有一設置於該基板本體上且尚未乾掉的未乾狀圍繞膠體及一用於覆蓋該未乾狀圍繞膠體且已經乾掉的已乾狀圍繞膠體；在上述呈現膠狀的圍繞式膠材的外表層乾掉的情況下，將多個發光元件設置於該基板本體上，其中上述多個發光元件皆電性連接於該基板本體且被該半乾狀圍繞式反光框體所圍繞；以及在上述呈現膠狀的圍繞式膠材的外表層乾掉的情況下，形成一位於該基板本體上且覆蓋上述多個發光元件的封裝膠體，其中該半乾狀圍繞式反光框體接觸且圍繞該封裝膠體。
13. 如申請專利範圍第 12 項所述之多晶片封裝結構的製作方法，其中上述形成該封裝膠體的步驟後，更進一步包括：透過自然的方式或烘乾的方式來固化該未乾狀圍繞膠體，以使得該半乾狀半乾狀圍繞式反光框體轉變成一全乾狀圍繞式反光框體。
14. 如申請專利範圍第 12 項所述之多晶片封裝結構的製作方法，其中該半乾狀圍繞式反光框體上具有一因上述塗佈方式所形成的接合凸部。

15. 如申請專利範圍第 12 項所述之多晶片封裝結構的製作方法，其中該半乾狀圍繞式反光框體從一起始點延伸至一終止點，且該起始點與該終止點實質上為同一點。
16. 如申請專利範圍第 12 項所述之多晶片封裝結構的製作方法，其中該半乾狀圍繞式反光框體上具有一圓弧形的外表面，該半乾狀圍繞式反光框體相對於該基板本體上表面的圓弧切線的角度介於 40 至 50 度之間，該半乾狀圍繞式反光框體的頂面相對於該基板本體上表面的高度介於 0.3 至 0.7mm 之間，該半乾狀圍繞式反光框體底部的寬度介於 1.5 至 3mm 之間，該半乾狀圍繞式反光框體的觸變指數介於 4 至 6 之間，且該半乾狀圍繞式反光框體為一內部混有多個無機添加顆粒的白色熱固化反光框體。
17. 如申請專利範圍第 12 項所述之多晶片封裝結構的製作方法，其中該基板單元包括多個設置於該基板本體上表面的正極焊墊及多個設置於該基板本體上表面的負極焊墊，其中每一個發光元件具有一正極及一負極，每一個發光元件的正極對應於上述多個正極焊墊中的至少兩個，且每一個發光元件的負極對應於上述多個負極焊墊中的至少兩個。
18. 如申請專利範圍第 17 項所述之多晶片封裝結構的製作方法，其中每一個發光元件的正極電性連接於上述至少兩個所對應的正極焊墊中的其中一個，且每一個發光元件的負極電性連接於上述至少兩個所對應的負極焊墊中的其中一個。

圖式簡單說明

圖 1 為本發明第一實施例的多晶片封裝結構的製作方法的流程圖。

圖 2A 為本發明第一實施例的步驟 S100 的立體示意圖。

圖 2B 為本發明第一實施例的步驟 S100 的剖面示意圖。

圖 3A 為本發明第一實施例的步驟 S102 的立體示意圖。

圖 3B 為本發明第一實施例的步驟 S102 的剖面示意圖。

圖 4A 為本發明第一實施例的步驟 S104 的立體示意圖。

圖 4B 為本發明第一實施例的步驟 S104 的剖面示意圖。

圖 5A 為本發明第一實施例的步驟 S106 的立體示意圖。

圖 5B 為本發明第一實施例的步驟 S106 的剖面示意圖。

圖 6A 為本發明第一實施例的步驟 S108 的立體示意圖。

圖 6B 為本發明第一實施例的步驟 S108 的剖面示意圖。

圖 7 為本發明第一實施例的步驟 S110 的剖面示意圖。

圖 8 為本發明第二實施例的多晶片封裝結構的製作方法的流程圖。

圖 9A 為本發明第二實施例的步驟 S200 與 S202 的剖面示意圖。

圖 9B 為本發明第二實施例的步驟 S204 的剖面示意圖。

圖 9C 為本發明第二實施例的步驟 S206 的剖面示意圖。

圖 9D 為本發明第二實施例的步驟 S208 的剖面示意圖。

圖 9E 為本發明第二實施例的步驟 S210 的剖面示意圖。

圖 10 為本創作使用多個備用焊墊的局部上視示意圖。

(4)

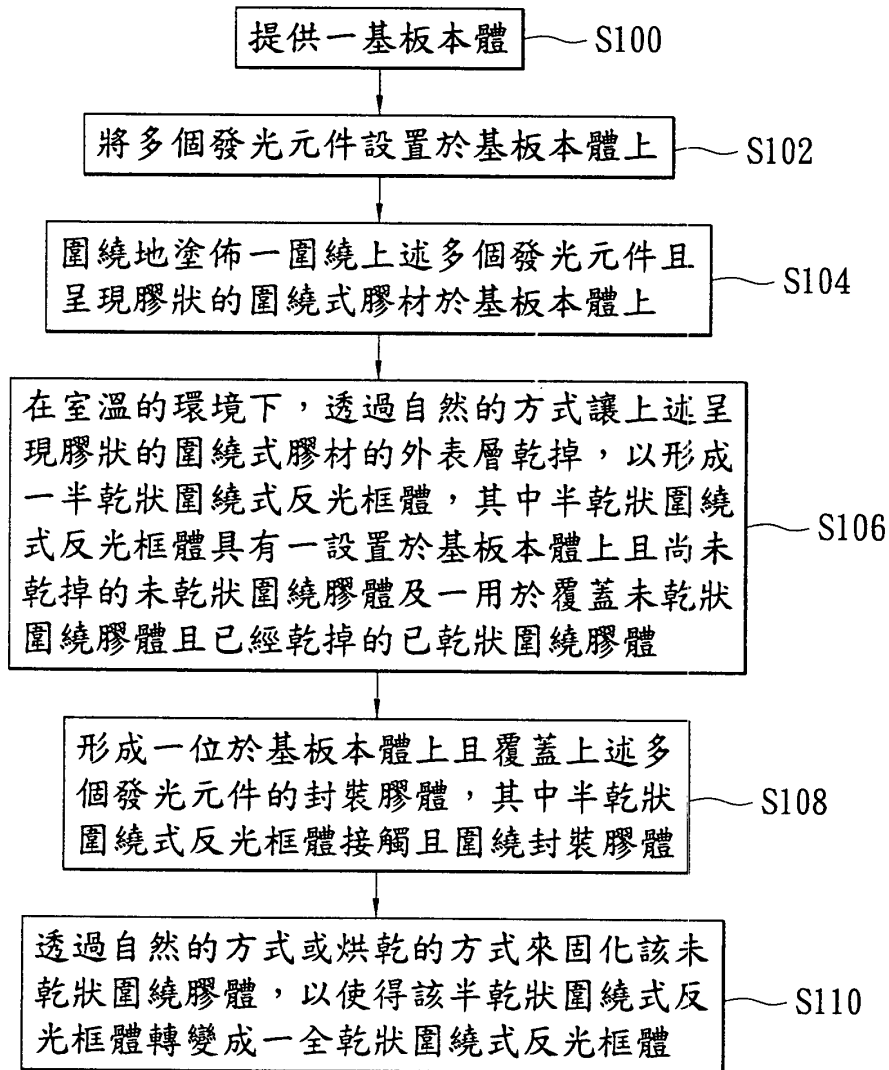


圖 1

(5)

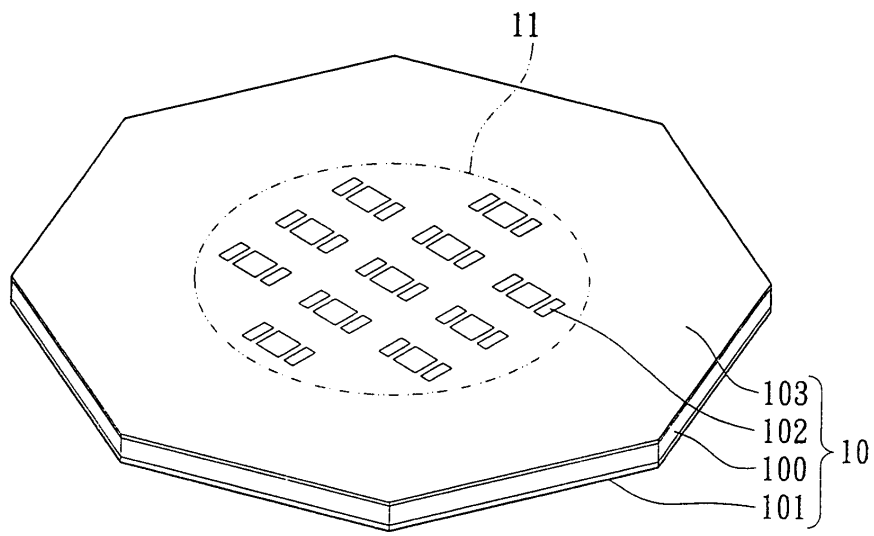


圖2A

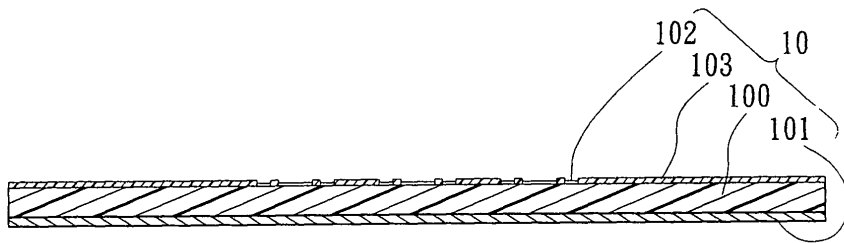


圖2B

(6)

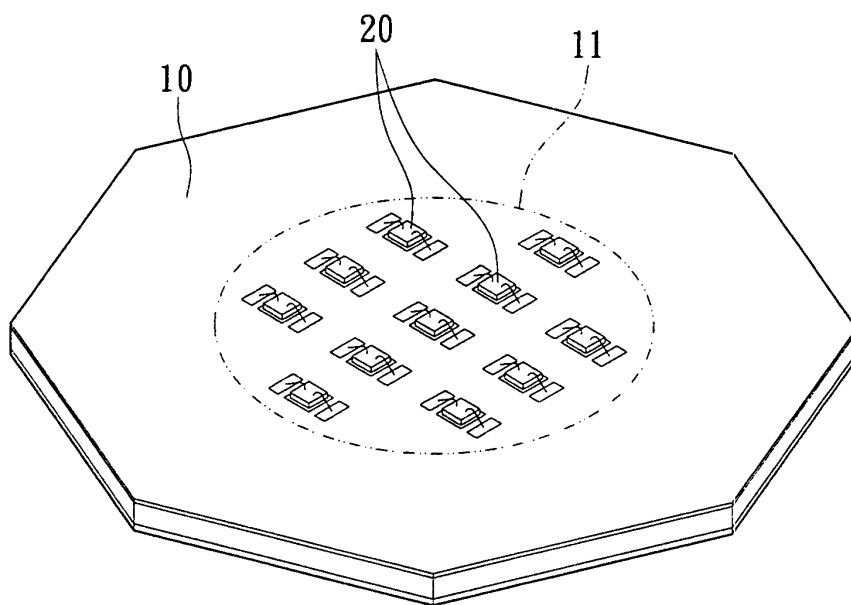


圖 3A

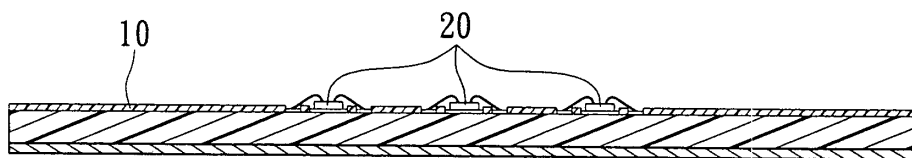


圖 3B

(7)

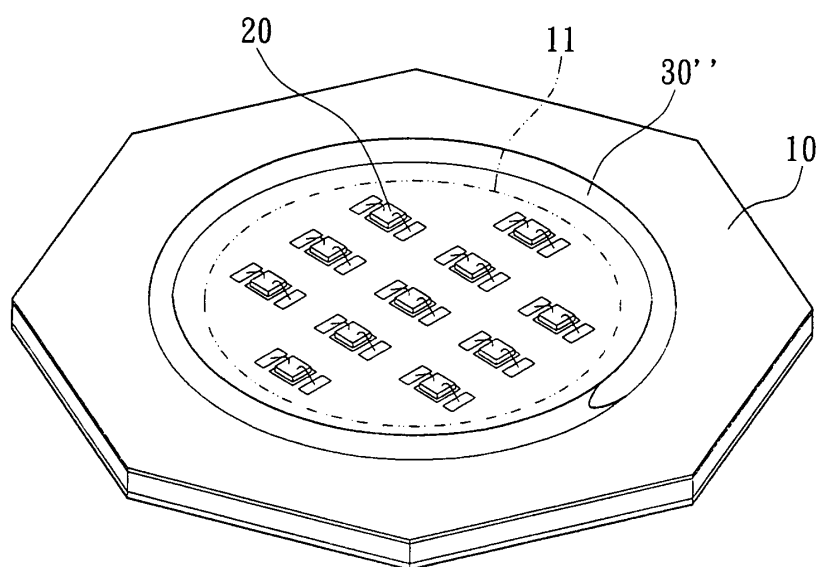


圖4A

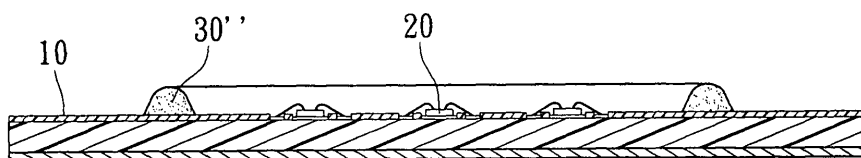


圖4B

(8)

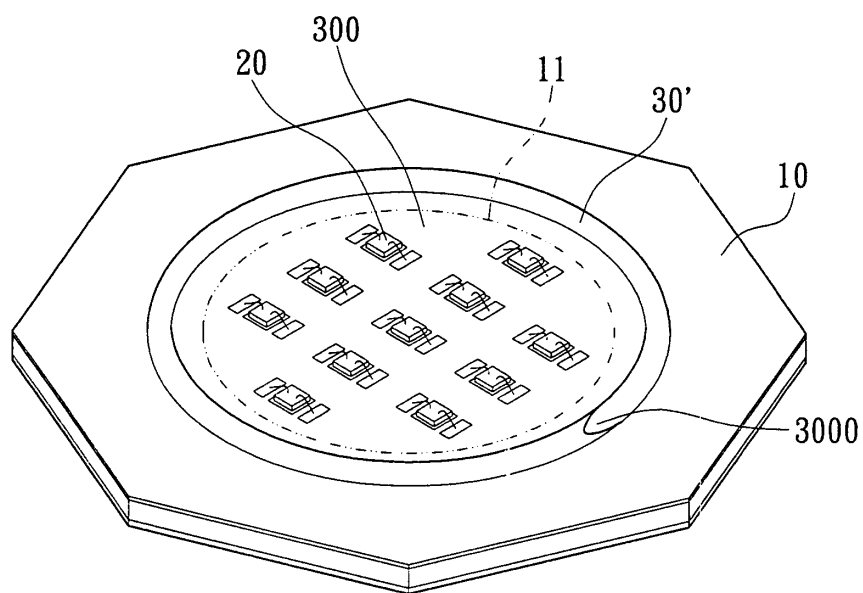


圖5A

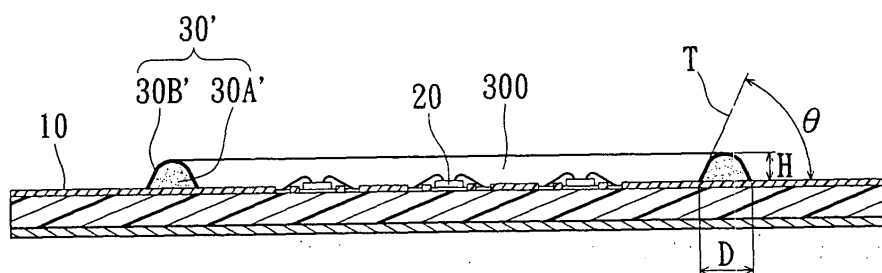


圖5B

(9)

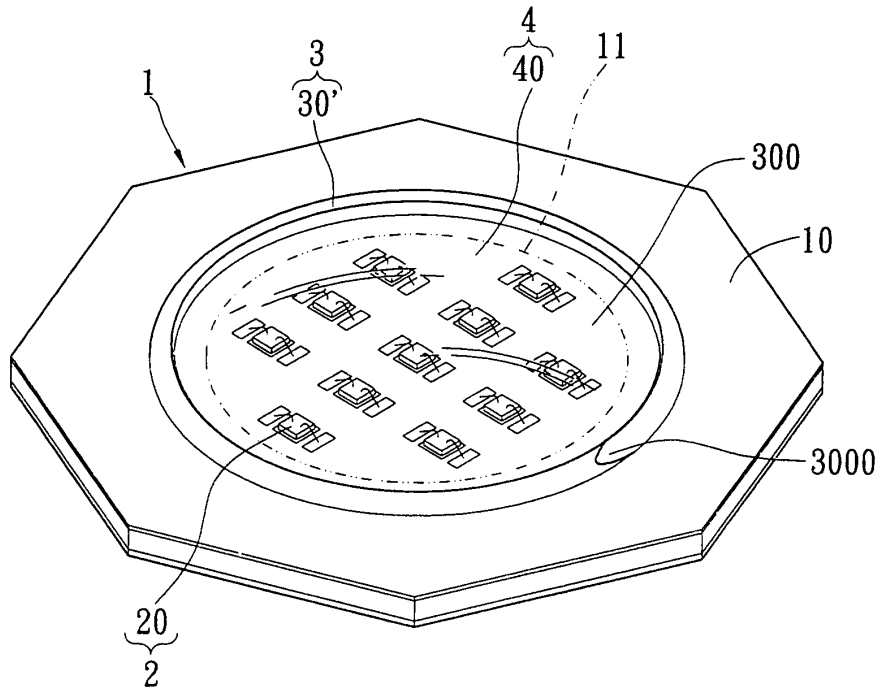


圖6A

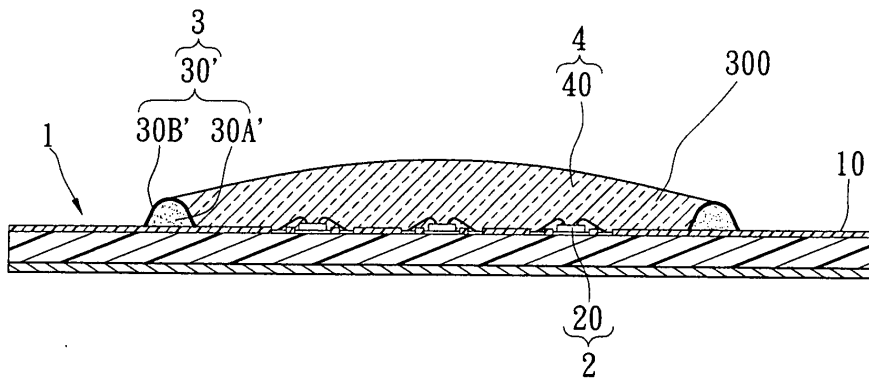


圖6B

(10)

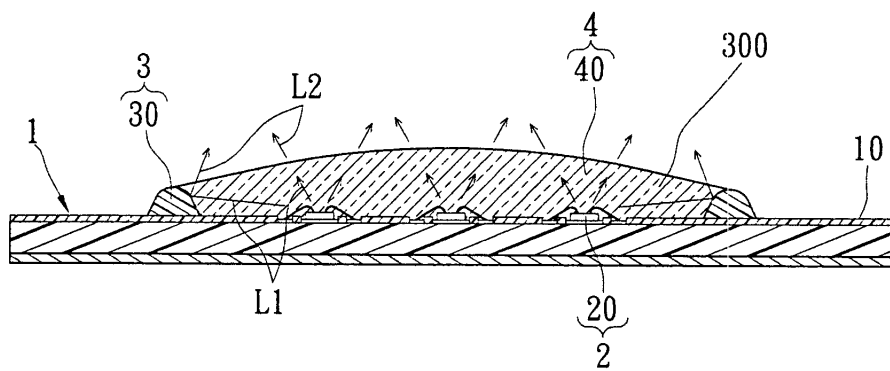


圖7

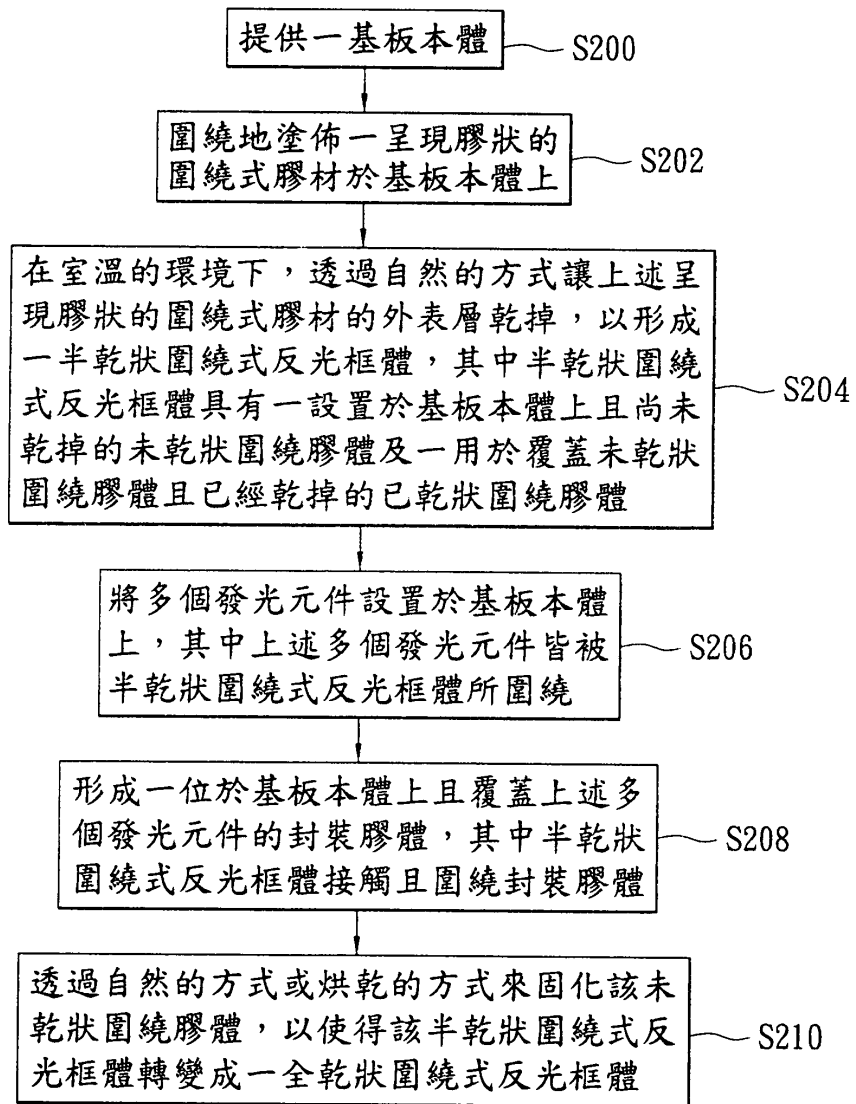


圖8

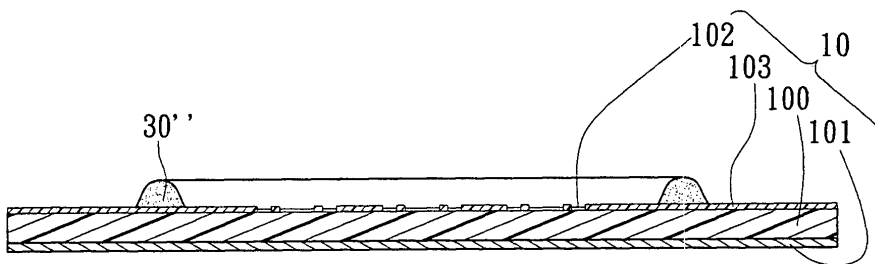


圖9A

(12)

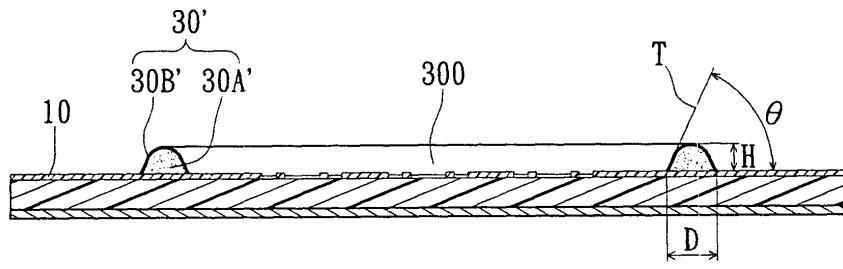


圖9B

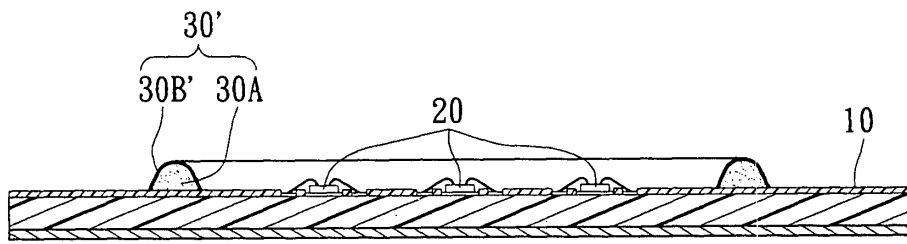


圖9C

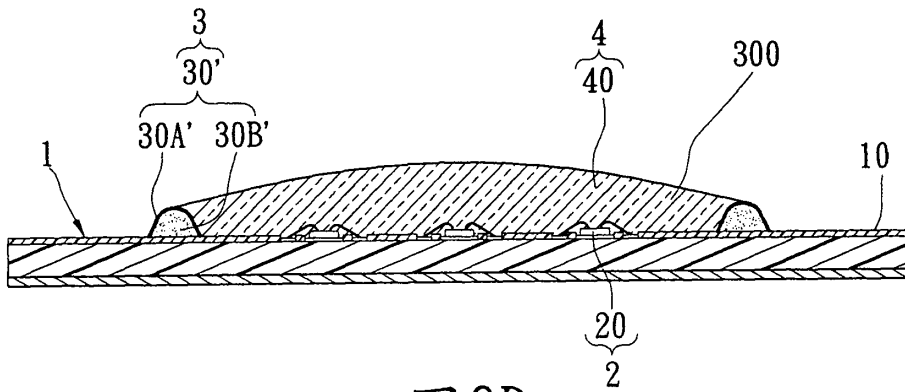


圖9D

(13)

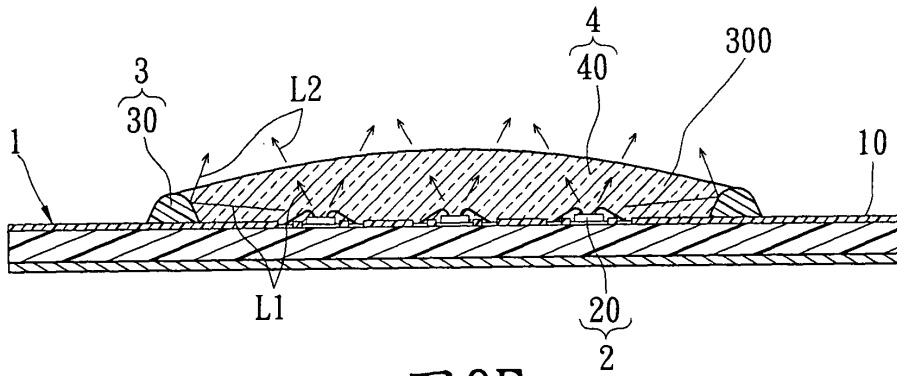


圖9E

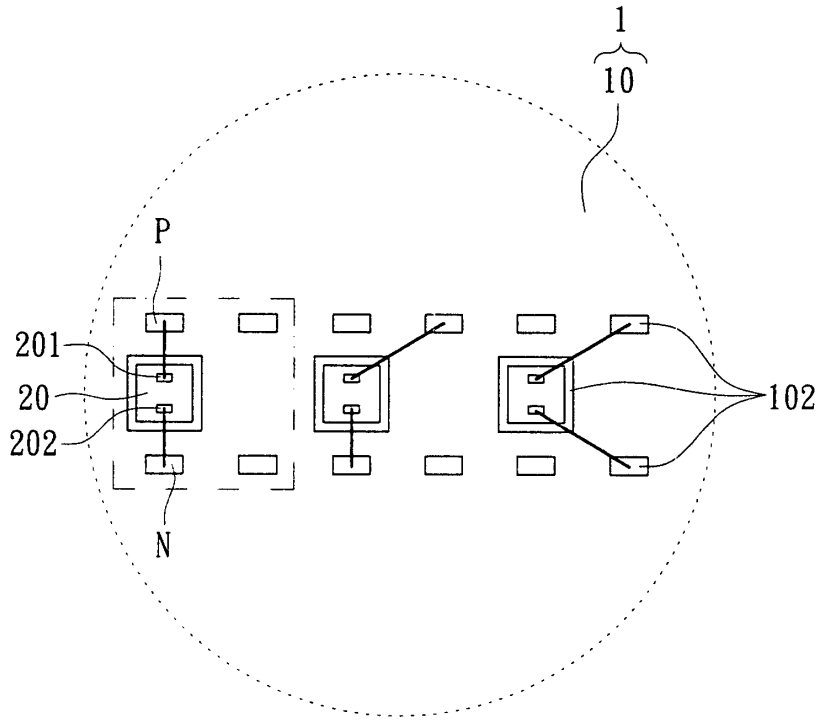


圖10